

基于 τ 因子伺服信号内插时钟恢复的设计与实现*

王庆东, 罗中良, 刘宇芳
(惠州学院计算机科学系, 广东 惠州 516007)

摘要: 伺服信号时钟恢复的设计对微硬盘读写通道的性能起着重要的作用, 该文提出了一种基于 τ 因子内插时钟恢复模型用以解决基于锁相环技术的伺服信号时钟恢复存在的不足, 并推导出 τ 因子插值滤波器系数算法。同时对线性插值算法并给出试验测试结果, 从测试结果看基于 τ 因子内插时钟恢复模型的谐波含量要下降一半。

关键词: 伺服信号, 时钟恢复, τ 因子, 插值滤波器

中图分类号: TP27 **文献标志码:** A **文章编号:** 0529-6579 (2013) 04-0066-05

Design and Implementation of a Servo Interpolated Timing Recovery Model Based on τ Factor

WANG Qingdong, LUO Zhongliang, LIU Yufang

(Department of Compute Science, Huizhou University, Huizhou 516007, China)

Abstract: the design of servo signal timing recovery model plays a important role in the performance of read/write channel of micro hard disk. A servo interpolated timing recovery model is proposed based on the τ factor, which is used to solve the disadvantages of timing recovery model based on the phase-locked loops. It derives that the arithmetic for τ factor interpolator obtains the test result, compared with the arithmetic for linear interpolation method which shows that the reduction of content of harmonic is doubled, based on the τ factor servo interpolated timing recovery model.

Key words: servo signal; timing recovery; τ factor; Interpolator

伺服信号时钟恢复的设计关系到微硬盘读写通道数据传输的稳定性和可靠性^[1-3], 高精度及高可靠的时钟恢复设计对微硬盘读写通道的性能起着重要的作用。

作者在文献 [4] 给出了硬盘读写通道同步采样时钟恢复的典型模型, 并对基于锁相环技术实现时钟恢复的通用解决方案进行了详细分析。但该模型和方案存在诸如如对噪声较为敏感、受游长受限码 k 的长度限制^[4-5] (一般 k 要小于 8) 等问题。本文在此方案基础上进行改进, 采用基于 τ 因子内

插时钟恢复技术实现时钟恢复, 基于 τ 因子内插时钟恢复的优势在于读信号时对噪声的敏感性不强, 同时也不会受线路以及结构所引起噪声的影响。可以使游长受限码的 $k > 8$ 。并在线性插值时钟恢复的基础上提出基于 τ 因子内插时钟恢复模型, 推导出 τ 因子插值滤波器系数算法。

通过采用 FPGA 加 DSP 构成的系统进行试验验证, 可以得到结论, 即采用 τ 因子内插时钟恢复技术比线性插值算法能优化一倍的谐波含量。

* 收稿日期: 2013-02-22

基金项目: 广东省科技计划资助项目 (2011B010200030); 佛山市产学研专项资金资助项目 (2012HC100031); 惠州市科技计划资助项目 (2011C020005005); 惠州学院校级特色专业资助项目 (TS2011001); 惠州学院校级教学成果培育资助项目 (CG2011008); 惠州学院质量工程资助项目 (SZ2012001)

作者简介: 王庆东 (1968 年生), 男, 博士后; E-mail: szwangqingdong@gmail.com

1 基于 τ 因子内插时钟恢复技术

1.1 基于锁相环电路的时钟恢复技术

图 1 是硬盘读写通道同步采样时钟恢复的典型模型，图中伺服信号时钟恢复模型采用锁相环技术^[5-6]，并由锁相环电路的基本模块组成，例如采样器，鉴相器，鉴频鉴相器，压控振荡器，零相位

开始控制等。从 IBM 公司的文献及 Marvell 公司带硬盘控制器芯片 88i6310 可知，目前都是采用这种方案，它采用锁相环技术的同步时钟对通道模拟信号同步采样，压控振荡器控制采样设备采样转换器的采样时钟，鉴相器产生相位误差，环路滤波器产生采样时钟和波特率的频率偏置 Δf ， Δf 调整采样时钟和波特率同步^[5]。

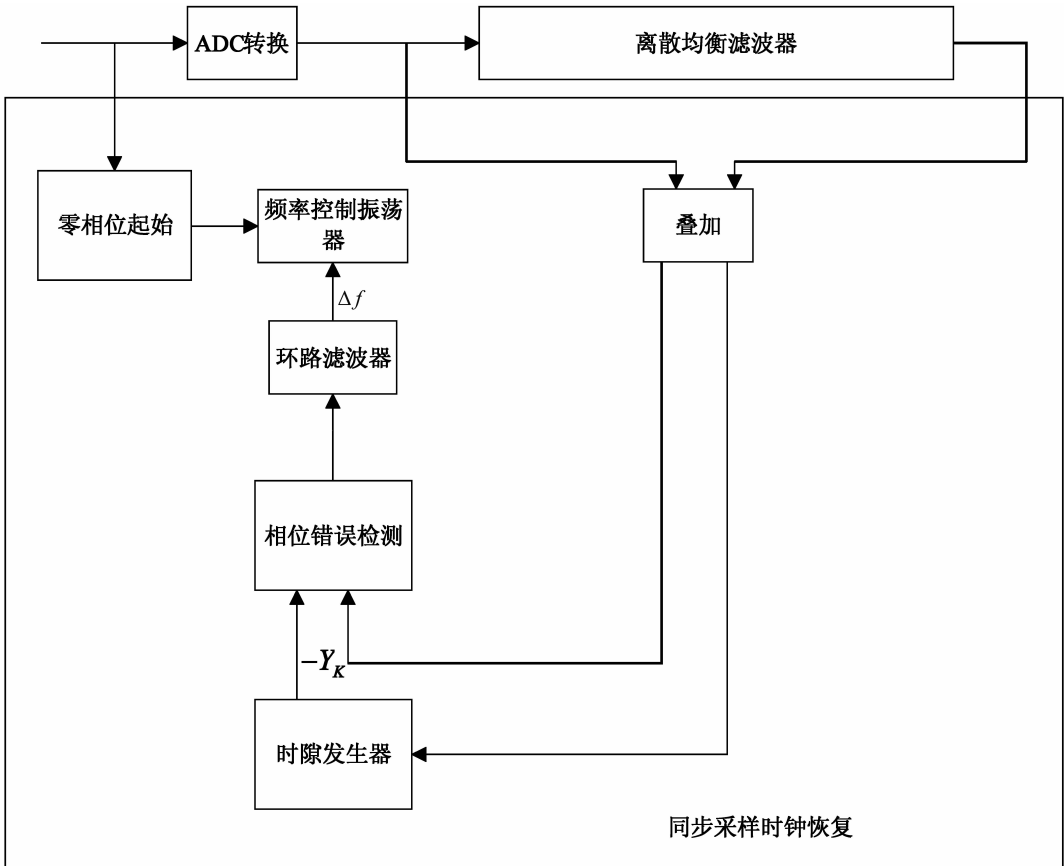


图 1 伺服信号时钟恢复模型

Fig. 1 Servo signal timing recovery model

1.2 存在的问题

采用锁相环技术实现时钟恢复虽然是目前通用的解决方案，但也存在一些问题如对噪声较为敏感，也受游长受限码 (RLL) 的 k 的长度限制，一般 k 要小于 8，下面将对此方案进行改进，采样内插时钟恢复技术实现，内插时钟恢复的优势在于读信号时对噪声的敏感性不强，同时也不会受线路以及结构所引起噪声的影响。可以使游长受限码 RLL 的 $k > 8$ 。

1.3 基于 τ 因子内插时钟恢复技术

本文所设计的内插时钟恢复模型如图 2 所示。模型主要包括的模块有：内插器、模 T_s 累加器、时隙器、相位误差检测器、频率合成器、零相位起

始判断等。

由图 2 内插时钟恢复可以看到内插器和模 T_s 累加器代替传统时钟恢复的频控振荡器，相位误差检查器输入实际采样值 $Y_{k+\tau}$ 同时计算电路捕获过程中的相位误差，在跟踪过程中多路选择器则选择时隙器输出的估算采样值 $\sim Y_{k+\tau}$ 。数据时钟是由模 T_s 累加器产生的屏蔽信号和异步采样时钟进行相与操作而成，相位误差检测器和时隙器生成内插采样值，PID 环路滤波器控制闭环频率响应产生频率偏置信号，频率偏置 Δf 通过模 T_s 累加器进行累加产生内插时隙 τ ，通过 τ 可以估算内插器所需内插的采样值。

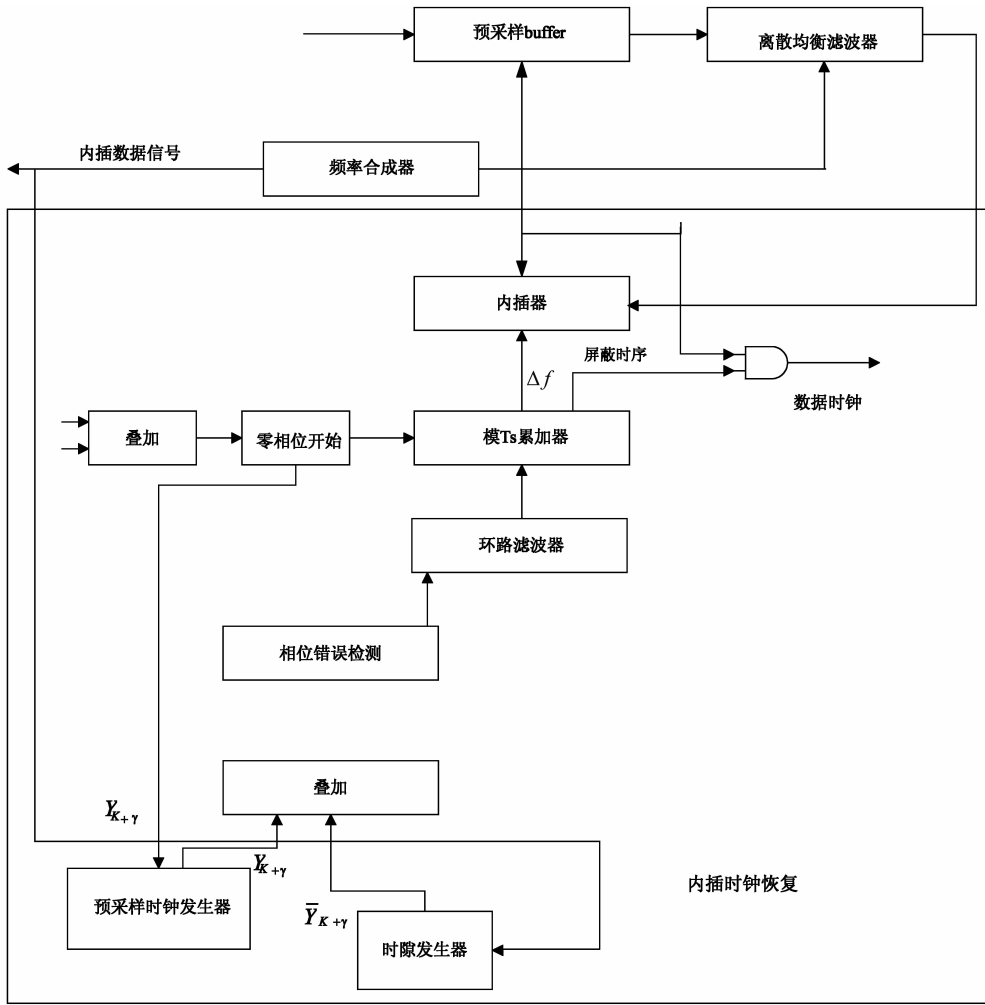


图 2 伺服信号内插时钟恢复模型

Fig. 2 Servo signal interpolation timing recovery model

1.4 定时同步算法

内插时钟恢复电路可以从采样序列中恢复出最佳采样点的值^[7-8]。设带限连续信号 $x(t)$ ，周期为 T 在满足 Nyquist 定理的条件下，以 T_s 为间隔采样得 $x(mT_s)$ ，通常 T/T_s 为无理数。经内插时钟恢复环路后，输出 $y(kT_i)$ ，其中 $T_i = T/K$ ， K 为小整数对 $y(kT_i)$ 进行 K 倍抽取，即得到与发送端符号同步的最佳采样值序列 $z(nT)$ 。内插时钟恢复电路包括一个内插滤波器和内插滤波控制电路，内插滤波器从采样序列中恢复出最佳采样值，是整个定时同步的关键。控制电路包括定时误差检测电路、环路滤波器和数控震荡器，向内插滤波器提供插值相位和插值输出时各个信号的权值。

1.5 τ 因子内插器设计模型

理想离散时间相位插值滤波器是基于平滑响应和 τ 值延迟固定，理想的冲击响应如下：

$$C_\tau(e^{j\omega}) = e^{j\omega\tau} \quad (1)$$

$$\sin c(\pi \cdot (n - \tau/T_s)) \quad (2)$$

由于非关联无限冲击响应是无法实现的，因此插值滤波器的冲击响应设计成自适应理想冲击响应，并通过实际插值滤波器频率响应和理想插值滤波器的最小均方根误差来实现^[6]，本文考虑对输入信号的频谱的改进，即输入信号频谱与实际插值频谱相乘和输入信号频谱与理想插值频谱相乘的最小均方根误差：

$$\overline{C}_\tau(e^{j\omega})X(e^{j\omega}) - C_\tau(e^{j\omega})X(e^{j\omega}) \quad (3)$$

式中 $\overline{C}_\tau(e^{j\omega})$ 为实际插值滤波器的频谱， $X(e^{j\omega})$ 为输入信号频谱，其均方根误差为：

$$E_\tau^2 = \frac{1}{2\pi} \int_{-\pi}^{\pi} |\overline{C}_\tau(e^{j\omega}) - e^{j\omega\tau}|^2 |X(e^{j\omega})|^2 d\omega \quad (4)$$

式中的 $X(e^{j\omega})$ 是读通道的（如 PR4，EPR4，EEPR4）部分响应频谱。在实际应用中，其均方根误差等式用限带输入信号频谱代替，预先确定常数 $0 \leq \omega \leq \alpha\pi$ ($0 < \alpha < 1$)，则可以得：

$$|X(e^{j\omega})| = 0, \text{ for } |\omega| \geq \alpha\pi \quad (5)$$

那么式 (4) 可以用下式表示：

$$E_{\tau,\alpha}^2 = \frac{1}{2\pi} \int_{-\alpha\pi}^{\alpha\pi} |\bar{C}_\tau(e^{j\omega}) - e^{j\omega\tau}|^2 |X(e^{j\omega})|^2 d\omega \quad (6)$$

式 (6) 的解包括对滤波系数的实际插值滤波器和经典绝对平均的理解。实际插值滤波器可以用 FIR 多项式表示：

$$\bar{C}_\tau(e^{j\omega}) = \sum_{n=-R}^{n=R-1} C_\tau(n) e^{-j\omega n} \quad (7)$$

式 (7) 中的 R 是每个插值滤波器的抽头数，采样时间 T_s 被规格化到 1，一个计算插值滤波系数值算法可以通过计算推导得出：

$$E_{\tau,\alpha}^2 = \frac{1}{2\pi} \int_{-\alpha\pi}^{\alpha\pi} \left| \sum_{n=-R}^{n=R-1} C_\tau(n) e^{-j\omega n} - e^{j\omega\tau} \right|^2 |X(e^{j\omega})|^2 d\omega \quad (8)$$

通过其派生出的一个偏微分方程，并置为 0，得：

$$\frac{\partial E_{\tau,\alpha}^2}{\partial C_\tau(n_0)} = 0, n_0 = -R, \dots, 0, 1 \dots R-1 \quad (9)$$

代入式 (6) 可导出得：

$$\int_{-\alpha\pi}^{\alpha\pi} \left[\left(\sum_{n=-R}^{n=R-1} C_\tau(n) \cos(\omega(n_0 - n)) \right) - \cos(\omega(n_0 + \tau)) \right] |X(e^{j\omega})|^2 d\omega = 0 \quad (10)$$

$$n_0 = -R, \dots, 0, 1 \dots R-1$$

定义 $\phi(r)$ 为：

$$\phi(r) = \int_{-\alpha\pi}^{\alpha\pi} |X(e^{j\omega})|^2 \cos(\omega r) d\omega \quad (11)$$

于是有：

$$\sum_{n=-R}^{n=R-1} C_\tau(n) \phi(n - n_0) = \phi(n_0 + \tau) \quad (12)$$

$$n_0 = -R, \dots, 0, 1 \dots R-1$$

式中所定义的 R 线性等式依据滤波系数 $C_\tau(n)$ 用矩阵表示为：

$$\Phi_\tau C_\tau = \Phi_\tau \quad (13)$$

等式中的 C_τ 是一个向量结构：

$$C_\tau = [C_\tau(-R), \dots, C_\tau(0), \dots, C_\tau(R-1)]^t \quad (14)$$

Φ_τ 是一个矩阵：

$$\Phi_\tau = \begin{bmatrix} \phi(0)\phi(1)\dots\phi(2R-1) \\ \phi(1)\phi(0) \\ \vdots \\ \phi(2R-1)\dots\phi(0) \end{bmatrix} \quad (15)$$

并且转置矩阵 Φ_τ 是为：

$$\Phi_\tau = [\phi(-R + \tau), \dots, \phi(\tau), \phi(1 + \tau), \dots, \phi(R - 1 + \tau)]^t \quad (16)$$

式 (16) 的解：

$$C_\tau = \Phi_\tau^{-1} \Phi_\tau \quad (17)$$

2 试验验证

2.1 验证方案

τ 因子内插器模型硬件设计方案采用 DSP 加 FPGA 构建系统^[5]，实现 ADC 转换器采样通道设计、插值滤波器设计，采用 FPGA 实现 τ 因子插值滤波算法，SRAM 保存滤波系数，且设计时分成两页，每页为 1 024 字，一页保存滤波系数，另一页存放插值结果。DSP 把滤波系数传入 SRAM 并把 FPGA 插值结果送入 SRAM，ADC 转换器采样线性公司 12 bit 转换器，设计框图如图 3 所示。

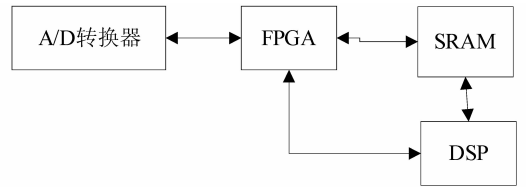


图 3 内插时钟恢复硬件设计框图

Fig. 3 Hardware diagram of interpolation timing recovery

2.2 τ 因子插值滤波器设计试验

试验条件为 $2R = 6, \alpha = 0.8, X(e^{j\omega}) = \text{PR4}$ 表 1 和表 2 分别为线性插值滤波的谐波频谱和 τ 因子内插滤波器的谐波频谱，表 3 为 τ 因子滤波系数。结果表明 τ 因子内插滤波器的谐波频谱要优于线性插值滤波频谱。

表 1 线性插值谐波频谱

Table 1 Harmonic spectrum of linear interpolation

谐波次数	幅值/V	误差/%	相位	误差/%
0	0.001 00	0.10	57.681	2.32
1	0.001 22	0.10	1.987	1.98
2	0.001 13	0.10	358.012	1.99
3	0.018 07	2.00	2.001	2.00
4	0.000 88	0.10	1.988	1.99
5	0.001 00	0.10	358.678	1.33
6	0.001 03	0.10	357.997	2.00
7	0.008 71	2.00	357.989	2.01
8	0.009 87	0.10	2.013	2.01
9	0.001 01	0.10	358.098	1.51
10	0.000 99	0.10	1.893	1.89
11	0.007 02	2.00	1.997	2.00
12	0.001 12	0.10	2.012	2.01
13	0.020 06	2.00	2.002	2.00
14	0.000 98	0.10	1.987	1.99
15	0.001 02	0.10	1.878	1.88

表 2 τ 因子插值谐波频谱Table 2 Harmonic spectrum of τ Factor interpolation

谐波次数	幅值/V	误差/%	相位	误差/%
0	0.001 00	0.10	0.040	0.04
1	0.001 22	0.10	0.043	0.04
2	0.001 13	0.10	0.035	0.04
3	0.007 99	0.80	359.971	0.03
4	0.000 88	0.10	0.022	0.02
5	0.001 00	0.10	359.980	0.02
6	0.001 03	0.10	0.037	0.04
7	0.007 85	0.80	359.961	0.04
8	0.009 87	0.10	359.977	0.03
9	0.001 01	0.10	0.051	0.05
10	0.000 99	0.10	359.946	0.05
11	0.008 23	0.80	0.064	0.03
12	0.001 12	0.10	0.032	0.03
13	0.008 11	0.80	0.041	0.04
14	0.000 98	0.10	359.948	0.05
15	0.001 02	0.10	359.976	0.02

表 3 τ 因子滤波系数Table 3 τ Factors filter coefficients

$\tau \cdot 32/T_s$	$C(-2)$	$C(-1)$	$C(0)$	$C(1)$	$C(2)$	$C(3)$
0	0.000 0	0.000 0	1.000 0	0.000 0	0.000 0	0.000 0
1	0.009 0	-0.023 1	0.996 5	0.033 7	-0.012 0	0.006 8
2	0.017 6	-0.046 2	0.990 1	0.069 0	-0.024 1	0.013 5
3	0.025 8	-0.044 5	0.980 8	0.105 8	-0.036 4	0.020 2
4	0.033 5	-0.081 9	0.968 6	0.143 8	-0.048 7	0.026 8
5	0.040 7	-0.097 9	0.953 6	0.182 9	-0.060 8	0.033 1
6	0.047 3	-0.112 0	0.935 9	0.223 0	-0.072 8	0.039 3
7	0.053 3	-0.124 3	0.915 5	0.263 8	-0.084 4	0.045 1
8	0.058 7	-0.134 8	0.892 6	0.305 2	-0.095 7	0.050 6
9	0.063 4	-0.143 4	0.867 4	0.347 1	-0.106 3	0.055 6
10	0.067 4	-0.150 3	0.839 8	0.389 1	-0.116 4	0.060 3
11	0.070 7	-0.155 5	0.810 1	0.431 1	-0.125 7	0.064 4
12	0.073 2	-0.158 9	0.778 4	0.473 0	-0.134 1	0.068 0
13	0.075 1	-0.106 8	0.744 8	0.514 5	-0.141 5	0.071 0
14	0.076 1	-0.161 1	0.709 6	0.555 4	-0.148 0	0.073 4
15	0.076 5	-0.157 8	0.672 8	0.595 6	-0.153 2	0.075 1
16	0.076 1	-0.157 2	0.634 8	0.634 8	-0.157 2	0.076 1
17	0.075 1	-0.153 2	0.595 6	0.672 8	-0.159 8	0.076 5
18	0.073 4	-0.148 0	0.555 4	0.709 6	-0.161 1	0.076 1
19	0.071 0	-0.141 5	0.514 5	0.744 8	-0.160 8	0.075 1
20	0.068 0	-0.134 1	0.473 0	0.778 4	-0.158 9	0.073 2
21	0.064 4	-0.125 7	0.431 1	0.810 1	-0.155 5	0.070 7
22	0.060 3	-0.116 4	0.389 1	0.839 8	-0.150 3	0.067 4
23	0.055 6	-0.105 3	0.347 1	0.867 4	-0.143 4	0.063 4
24	0.050 6	-0.095 7	0.305 2	0.892 6	-0.134 8	0.058 7
25	0.045 1	-0.084 4	0.263 8	0.915 5	-0.124 3	0.053 3
26	0.039 3	-0.072 8	0.223 0	0.935 6	-0.112 0	0.047 3
27	0.033 1	-0.060 8	0.182 9	0.953 6	-0.097 9	0.040 7
28	0.026 8	-0.048 7	0.143 8	0.968 6	-0.081 9	0.033 5
29	0.020 2	-0.036 4	0.105 8	0.980 8	-0.064 1	0.025 8
30	0.013 5	-0.024 1	0.069 0	0.990 1	-0.044 5	0.017 6
31	0.006 8	-0.012 0	-0.033 7	0.996 5	-0.023 1	0.009 0

3 结 论

指出采用锁相环电路的伺服信号时钟恢复电路的不足, 研究采用插值时钟恢复技术, 提出基于 τ 因子内插时钟恢复模型, 并推导出 τ 因子插值滤波器系数算法, 给出基于线性插值和基于 τ 因子内插时钟恢复试验测试结果, 通过试验从频谱分析可以看出采用 τ 因子插值比线性插值的效果要好, 特别是在谐波 3 次、5 次、7 次、9 次等奇次谐波含量不超过基波含量的 0.8%, 而线性插值的谐波含量将近达到基波含量的 2%。

参考文献:

- [1] 赵东超. 硬盘驱动器高性能控制方法研究及其仿真系统的设计[D]. 西安: 西北工业大学, 2000: 27-31.
- [2] NAGARAJ K, LEWIS S, WALDEN R, et al. A median peak detecting analog signal processor for hard disk drive servo[J]. IEEE Journal on Solid-State Circuits, 1995, 30(4): 461-470.
- [3] 余嵘峰, 余胜生, 周敬利, 等. 一种 3.5 英寸硬磁盘驱动器伺服系统结构分析[J]. 电子计算机外部设备, 1995, 19(5): 25-28.
- [4] 王庆东. 硬盘读写通道伺服信号检测关键技术研究[D]. 武汉: 华中科技大学, 2007.
- [5] 王庆东, 谢长生, 王海卫, 等. 基于 DSP 和 FPGA 直接数字频率合成系统的设计[J]. 计算机工程与科学, 2007, 29(9): 126-128.
- [6] 秦军瑞, 陈吉华, 赵振宇, 等. 锁相环电路中压控振荡器的 SET 响应研究[J]. 计算机工程与科学, 2011, 33(1): 87-90.
- [7] 李学初, 高清运, 陈浩琼. 具有宽捕获范围的时钟恢复电路[J]. 南开大学学报, 2008, 56(3): 139-143.
- [8] SHAKIBA M, JOHNSD, MARTIN K. General approach to implementing analogue Viterbi decoders[J]. Electronics Letters, 1994, 30(27): 1823-1824.
- [9] MITA S, TAKASHI T, NISHIYA T. A PRML and EPRML spliced operation scheme designed to reduce power dissipation of read channel chips[J]. IEEE Transactions on Magnetics, 1998, 34(1): 153-159.
- [10] ANDRIES P H, LUDO M G M T. Guaranteed scrambling[J]. IEEE Transactions on Magnetics, 2005, 41(11): 4323-4326.